

W800 芯片设计指导书

V1.1

北京联盛德微电子有限责任公司 (Winner Micro)

地址：北京市海淀区阜成路 67 号银都大厦 18 层

电话：+86-10-62161900

网址：www.winnermicro.com

文档修改记录

版本	修订时间	修订记录	作者	审核
V0.1	2020/04/30	初稿		
V0.2	2020/6/10	更新外围参数	Huzj	
V1.0	2020/7/20	增加 ADC 电路说明	Huzj	
V1.1	2020/8/04	删除冗余内容,增加 GPIO 上下拉电阻典型值	Huzj	

目录

文档修改记录	5
1 概述	7
2 管脚定义	7
3 芯片外围电路设计	10
3.1 RESET 复位电路设计	10
3.2 参考时钟电路设计	10
3.3 ADC 电路设计	11
3.4 射频电路设计	11
3.5 GPIO 设计	11
3.6 电源设计	12
4 Layout 设计	13
5 天线设计	14
5.1 外置天线	14
5.2 板载天线	14

1 概述

W800 芯片是一款安全 IoT Wi-Fi/蓝牙 双模 SoC 芯片。支持 2.4G IEEE802.11b/g/n Wi-Fi 通讯协议；支持 BT/BLE 双模工作模式，支持 BT/BLE4.2 协议。芯片集成 32 位 CPU 处理器，内置 QFlash、SPI、UART、GPIO、I²C、I²S、7816 等丰富的数字接口；支持多种硬件加解密算法，内置 DSP、浮点运算单元与安全引擎，支持代码安全权限设置，内置 2MBFlash 存储器，支持固件加密存储、固件签名、安全调试、安全升级等多项安全措施，保证产品安全特性。适用于用于智能家电、智能家居、智能玩具、无线音视频、工业控制、医疗监护等广泛的物联网领域。

2 管脚定义

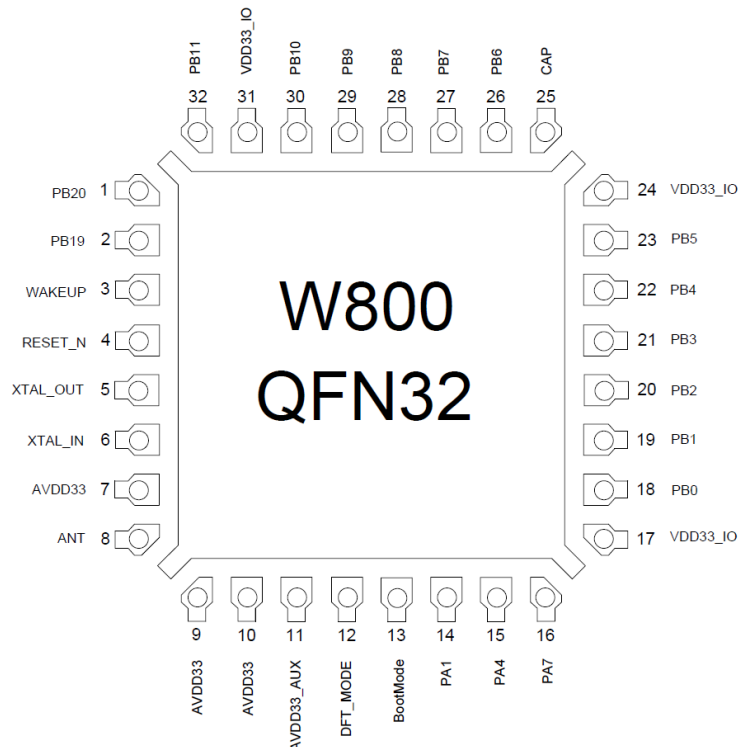


图 2-1 管脚布局图 (QFN32)

表 2-1 管脚分配定义 (QFN32)

编号	名称	类型	复位后管脚功能	复用功能	最高频率	上下拉能力	驱动能力
1	PB_20	I/O	UART_RX	UART0_RX/PWM1/UART1_CTS/I ² C_SCL	10MHz	UP/DOWN	12mA
2	PB_19	I/O	UART_TX	UART0_TX/PWM0/UART1_RTS/I ² C_SDA	10MHz	UP/DOWN	12mA
3	WAKEUP	I	WAKEUP 唤醒功能			DOWN	
4	RESET	I	RESET 复位			UP	
5	XTAL_OUT	O	外部晶振输出				
6	XTAL_IN	I	外部晶振输入				
7	AVDD33	P	芯片电源, 3.3V				
8	ANT	I/O	射频天线				
9	AVDD33	P	芯片电源, 3.3V				
10	AVDD33	P	芯片电源, 3.3V				
11	AVDD33_AUX	P	芯片电源, 3.3V				
12	TEST	I	测试功能配置管脚				
13	BOOTMODE	I/O	BOOTMODE	I ² S_MCLK/LSPI_CS/PWM2/I ² S_DO	20MHz	UP/DOWN	12mA
14	PA_1	I/O	JTAG_CK	JTAG_CK/I ² C_SCL/PWM3/I ² S_LRCK/ADC0	20MHz	UP/DOWN	12mA
15	PA_4	I/O	JTAG_SWO	JTAG_SWO/I ² C_SDA/PWM4/I ² S_BCK/ADC1	20MHz	UP/DOWN	12mA

16	PA_7	I/O	GPIO,输入, 高阻	PWM4/LSPI_MOSI/I ² S_MCK/I ² S_DI	20MHz	UP/DOWN	12mA
17	VDD33IO	P	IO 电源, 3.3V				
18	PB_0	I/O	GPIO,输入, 高阻	PWM0/LSPI_MISO/UART3_TX	80MHz	UP/DOWN	12mA
19	PB_1	I/O	GPIO,输入, 高阻	PWM1/LSPI_CK/UART3_RX	80MHz	UP/DOWN	12mA
20	PB_2	I/O	GPIO,输入, 高阻	PWM2/LSPI_CK/UART2_TX/SIM_DATA_2	80MHz	UP/DOWN	12mA
21	PB_3	I/O	GPIO,输入, 高阻	PWM3/LSPI_MISO/UART2_RX	80MHz	UP/DOWN	12mA
22	PB_4	I/O	GPIO,输入, 高阻	LSPI_CS/UART2_RTS/UART4_TX/SIM_CLK_2	80MHz	UP/DOWN	12mA
23	PB_5	I/O	GPIO,输入, 高阻	LSPI_MOSI/UART2_CTS/UART4_RX	80MHz	UP/DOWN	12mA
24	VDD33IO	P	IO 电源, 3.3V				
25	CAP	I	外接电容, 4.7μF			-	
26	PB_6	I/O	GPIO, 输入, 高阻	UART1_TX	50MHz	UP/DOWN	12mA
27	PB_7	I/O	GPIO, 输入, 高阻	UART1_RX	50MHz	UP/DOWN	12mA
28	PB_8	I/O	GPIO, 输入, 高阻	I ² S_BCK/PWM_BREAK	50MHz	UP/DOWN	12mA
29	PB_9	I/O	GPIO, 输入, 高阻	I ² S_LRCK	50MHz	UP/DOWN	12mA
30	PB_10	I/O	GPIO, 输入, 高阻	I ² S_DI	50MHz	UP/DOWN	12mA
31	VDD33IO	P	IO 电源, 3.3V				
32	PB_11	I/O	GPIO, 输入, 高阻	I ² S_DO	50MHz	UP/DOWN	12mA
33	GND	P	接地				

注：1. I = 输入, O = 输出, P = 电源

3 芯片外围电路设计

3.1 RESET 复位电路设计

复位电路建议设计为 RC 电路，上电自动复位，W800 低电平复位。如果使用外部控制 RESET 管脚，当电平值低于 2.0v 时，芯片处于复位状态。复位时低电平需持续 100us 以上，见图 3-1。

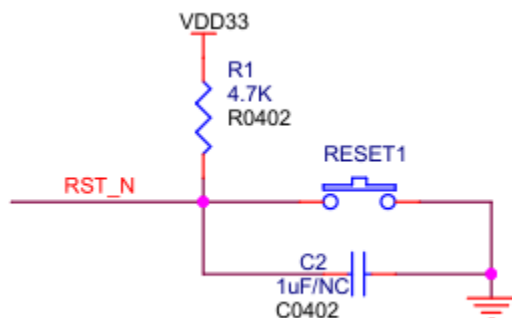


图 3-1 复位电路

3.2 参考时钟电路设计

芯片参考时钟选用 40MHz 频率，客户根据实际产品需求选用不同温度等级要求的晶体，频率稳定度 $\pm 10\text{ppm}$ ，晶体负载电容 10pF。晶体两端所接负载电容根据不同厂家晶体及频偏情况需要调整。参考设计中见图 3-2。

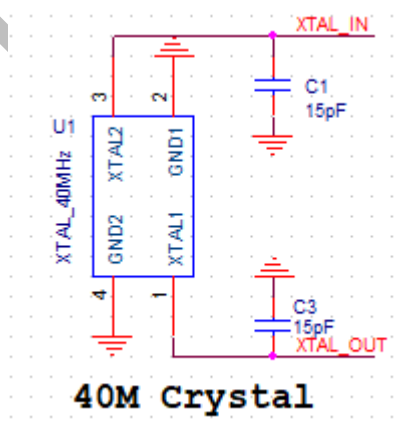


图 3-2 晶体电路

时钟走线尽量靠近芯片，尽量短，并且远离干扰源，时钟周围多地孔隔离。时钟下面各层禁止其它走

线穿过，防止干扰时钟源。

3.3 ADC 电路设计

芯片 14 脚（PA1）及 15 脚（PA4）脚可以作为普通 ADC 使用，输入电压范围 0~2.4V。高于 2.4V 外部需做分压处理后才可进入 ADC 接口。为提高精度，R1 和 R2 需使用高精度电阻。根据 Sensor 输出值选择合适的 R1，R2 电阻值分压。如图 3-3 所示。

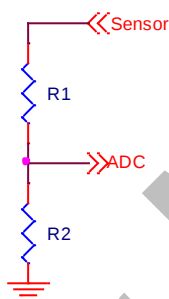


图 3-3 ADC 分压电路

3.4 射频电路设计

芯片采用单天线设计，内部集成了功放及收发切换开关，芯片射频端口阻抗 50 欧。根据实际产品设计性能匹配要求，需预留 π 型匹配网络，根据实际天线阻抗值，优化外部设计匹配元件，匹配元件需要按照低通的形式设计，对二次谐波的抑制能力 10dB 以上。

3.5 GPIO 设计

芯片上电后 1，2 脚默认为 UART0 端口，该端口提供下载及 AT 指令端口以及 log 输出端口。客户在使用时候注意不要随意使用该端口作为 GPIO 使用，防止被占用无法下载及调试。在系统起来后，该端口可以复用为其它端口使用。

表 3-2 芯片 UART0 管脚说明

1	PB20	I/O	UART0_RX
2	PB19	I/O	UART0_TX

其余各个管脚复用关系及使用见表 2-1。所有 GPIO 如果配置上拉电阻，典型上拉电阻值为 40K，如果配置为下拉，典型下拉电阻值为 49K。

3.6 电源设计

芯片电源输入脚放置相应滤波电容，且外部对整个芯片供电总电流建议 500mA 及以上。总电源走线线宽要求不低于 30mil。供电范围 3.0V-3.6V。请勿超过该范围，超过 3.6v 可能会对芯片造成永久性损坏。

低于 3.0v 可能整体性能会下降。不同管脚放置电容见下表要求。

芯片 7 和 9 脚附近需分别放置 2 个电容，分别为 1uf 和 1nf 滤波器电容。见表 3-3。

表 3-3 芯片电源管脚说明

7	VDD33	P	芯片电源, 3.3V	
9	VDD33LNA	P	LNA 电源, 3.3V	

芯片 10 脚附近放置 47uf 及 1nF 滤波电容。推荐有条件客户在模块电源入口处放置 330uf 电解电容。见表 3-4。

表 3-4 芯片电源管脚说明

10	VDD33PA	P	PA 电源, 3.3V	
11	VDD33AUX	P	模拟电源, 3.3V	

芯片 17,24,31 脚附近放置 1uf 滤波电容。见表 3-5。

表 3-5 芯片电源管脚说明

17	VDD33IO	P	IO 电源, 3.3V	
24	VDD33IO	P	IO 电源, 3.3V	
31	VDD33IO	P	IO 电源, 3.3V	

芯片 25 脚必须外接 4.7uf 滤波电容。

4 Layout 设计

W800 芯片中间 PAD 是散热地焊盘，需要接地处理，同时需要打孔，跟地良好接触散热。图 4-1。

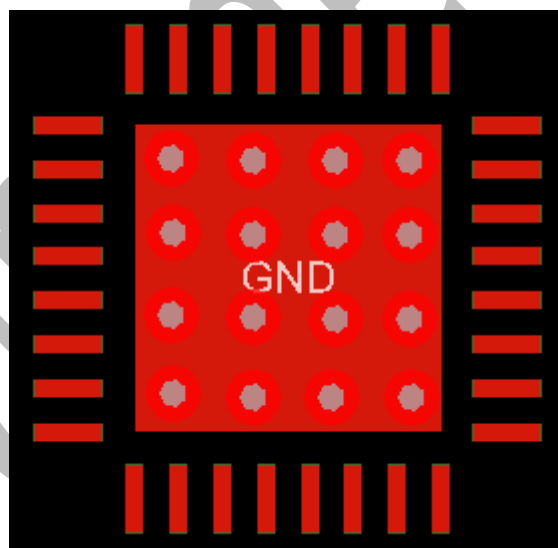


图 4-1 接地焊盘处理

产品设计完成后 PCB 需要所有层做敷铜接地处理，第二层射频部分需要保证完整的地平面，保证射频阻抗连续性，同时射频走线根据板厚需要做 50 欧姆阻抗控制。

电源建议采用星型走线方式，见图 4-2。特别注意 9 脚电源脚不要跟 10,11 脚直接接一起，9 脚采用星

型走线，单走一根电源线到主电源上，避免芯片内部 LNA 供电受到其他电源干扰。所有芯片脚接电容均靠近芯片电源脚放置。

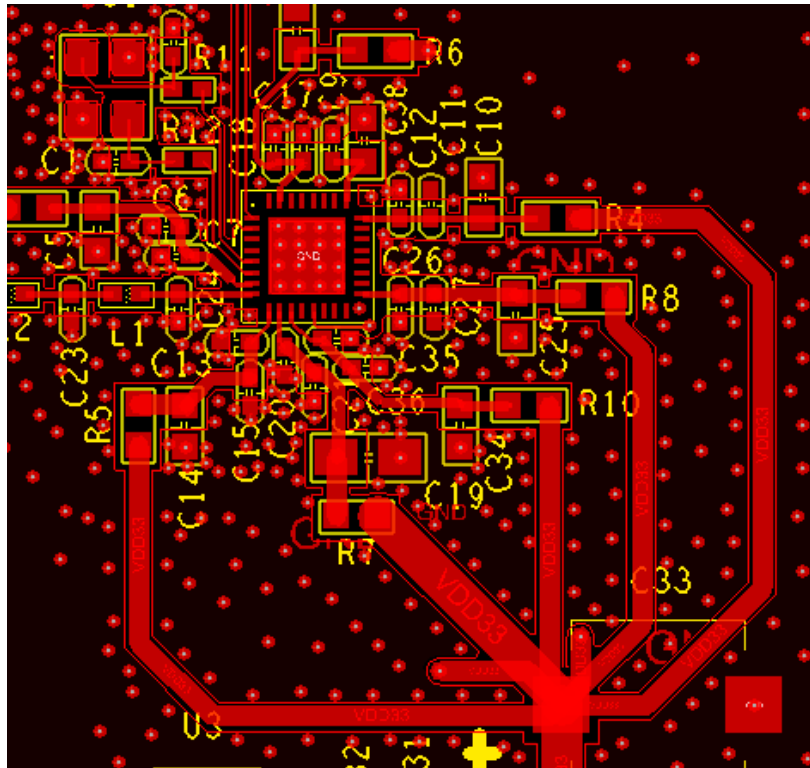


图 4-2 电源星型走线

5 天线设计

根据客户需要可使用外置天线，也可以使用 PCB 板载天线。根据不同天线对产品有不同的要求。

5.1 外置天线

对连接外置天线的连接座尽可能远离底板电源等噪声源，防止干扰天线。

5.2 板载天线

当模块使用板载天线设计需严格按照本指导书设计，防止天线性能下降，影响产品使用。天线背面敷铜需全部挖空，天线参考地平面尽可能大，天线必须经过实际仿真，仿真后天线尺寸图导入 PCB。紫色区域是天线部分，所有层均不能敷铜，全部净空。黄色区域是射频走线。具体见图 5-1。

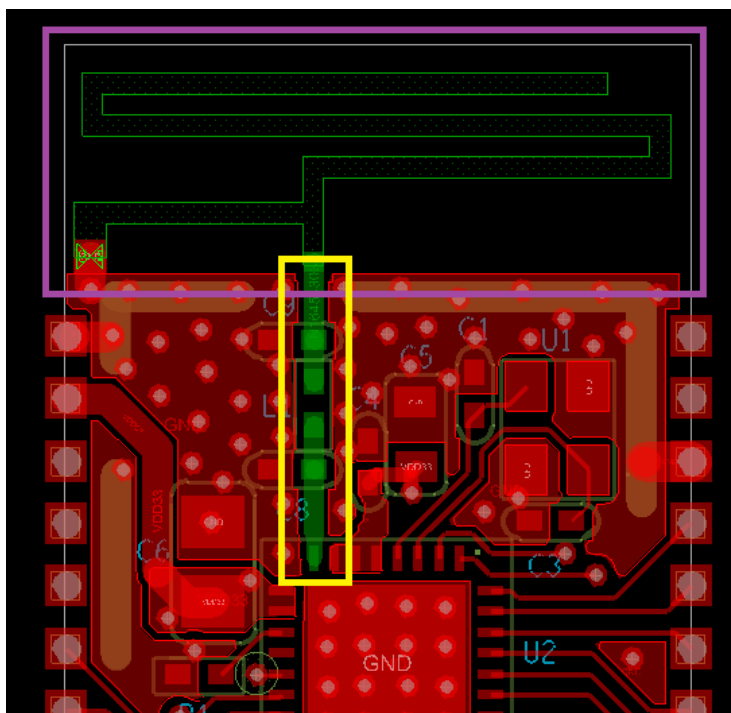


图 5-1 天线 layout 建议

图 5-2 常用且对天线性能影响较小的天线摆放方式尽可能保证天线周围没有实体遮挡物体。

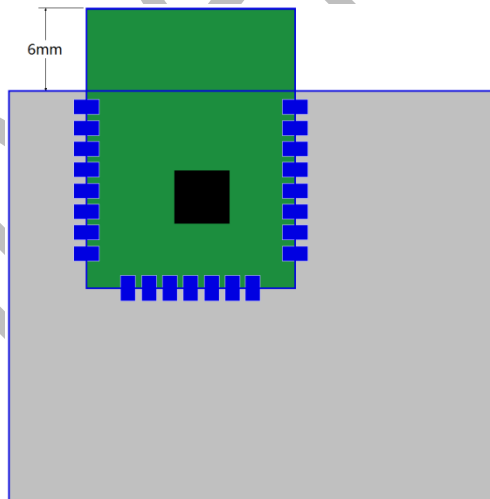


图 5-2