

W601 芯片设计指导书

V1.0.1

北京联盛德微电子有限责任公司 (winner micro)

地址：北京市海淀区阜成路 67 号银都大厦 18 层

电话：+86-10-62161900

公司网址：www.winnermicro.com

文档历史

版本	完成日期	修订记录	作者	审核	批准
V1.0.0	2018-11-20	创建	Linda		
V1.0.1	2018-12-07	修正板厚			

联盛德微电子

目录

1	概述	1
2	芯片管脚定义	1
3	芯片外围电路设计	5
3.1	BOOTMODE 设计	5
3.2	RESET 复位电路设计	5
3.3	参考时钟电路设计	5
3.4	射频电路设计	6
3.5	GPIO 设计	6
3.6	LCD 设计	7
3.7	ADC 设计	8
3.8	电源设计	8
3.9	地平面设计	8
3.10	天线设计	9
3.10.1	外置天线	9
3.10.2	板载天线	9

1 概述

W601 芯片基于 ARM 核心的 CPU,集成了丰富的外部接口,并且集成 Wi-Fi MAC、BB、安全、RF。CPU 核心运行的软件处理网络相关的协议栈,包括 Wi-Fi, TCP/IP, Http 等网络协议。该芯片功能丰富,满足目标市场嵌入式产品的硬件需求,具备运行完整嵌入式操作系统,独立处理端到端的网络服务的能力。该芯片采用 QFN68 封装,外围需要极少器件,达到产品最小化设计。

本设计书说明了该芯片的管脚定义、物理尺寸,描述了时钟、LCD、ADC、电源、射频、天线等功能部分设计要求。请按照该设计书设计相应的产品,以获得最佳性能。

2 芯片管脚定义

芯片管脚排列信息如图 2-1 所示:

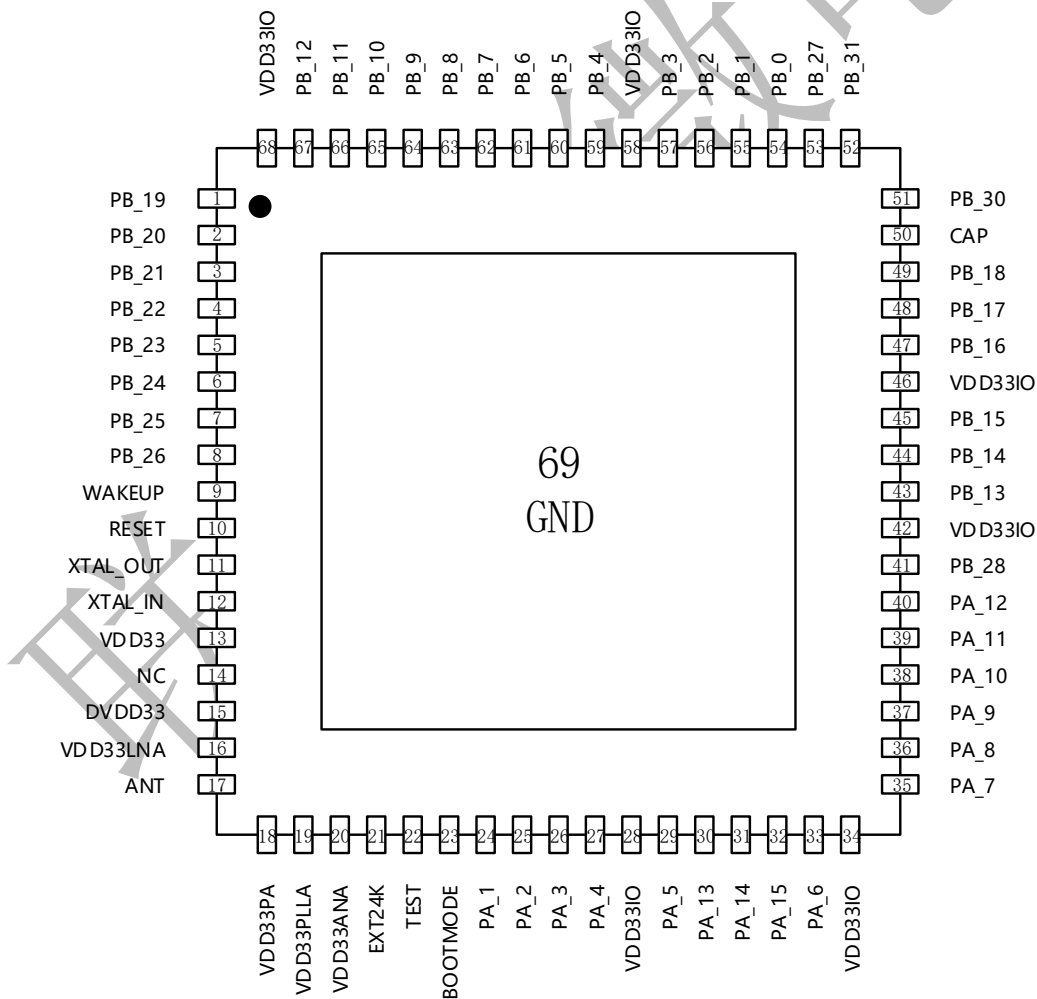


图 2-1 芯片引脚排列及尺寸图

芯片管脚说明如表 2-1 所示：

表 2-1 芯片管脚说明

编号	名称	类型	复位后管脚功能	复用功能
1	PB_19	I/O	PWM_1	UART2_RX、SAR-ADC1、GPIOB_19
2	PB_20	I/O	PWM_2	UART2_TX、SIM_DATA、SAR-ADC2、GPIOB_20
3	PB_21	I/O	PWM_3	UART2_RTS、SIM_CLK、I ² C_SCL、SAR-ADC3、GPIOB_21
4	PB_22	I/O	PWM_4	UART2_CTS、I ² C_DAT、SAR-ADC4、GPIOB_22
5	PB_23	I/O	PWM_5	UART0_CTS、SAR-ADC5、GPIOB_23
6	PB_24	I/O	PWM_BREAK	UART0_RTS、SAR-ADC6、GPIOB_24
7	PB_25	I/O	UART0_RX	SAR-ADC7、GPIOB_25
8	PB_26	I/O	UART0_TX	SAR-ADC8、GPIOB_26
9	WAKEUP	I	WAKEUP 唤醒功能	
10	RESET	I	RESET 复位	
11	XTAL_OUT	O	外部晶振输出	
12	XTAL_IN	I	外部晶振输入	
13	VDD33	P	芯片电源，3.3V	
14	NC		无需联接	
15	DVDD33	P	数字电路电源，3.3V	
16	VDD33LNA	P	LNA 电源，3.3V	
17	ANT	I/O	射频天线	
18	VDD33PA	P	PA 电源，3.3V	
19	VDD33PLLA	P	PLL 电源，3.3V	
20	VDD33ANA	P	模拟电源，3.3V	
21	EXT24K	I	串联 24K Ω \pm 1%精度电阻到地	
22	TEST	I	测试功能配置管脚	
23	BOOTMODE	I/O	BOOTMODE	UART2_RX、PWM_1、LCD_SEG0、GPIOA_0
24	PA_1	I/O	UART2_TX	SIM_DATA、PWM_2、SPI(M/S)_CK、LCD_SEG1、GPIOA_1
25	PA_2	I/O	UART2_RTS	SIM_CLK、PWM_3、SPI(M/S)_CS、I ² S_M_MCLK、LCD_SEG2、GPIOA_2
26	PA_3	I/O	UART2_CTS	PWM_4、SPI(M/S)_DI、I ² S_M_SDA、LCD_SEG3、GPIOA_3

27	PA_4	I/O	UART0_TX	PWM_5、SPI(M/S)_DO、I ² S_M_SCL、LCD_SEG4、GPIOA_4
28	VDD33IO	P	IO 电源, 3.3V	
29	PA_5	I/O	UART0_RX	PWM_1、SPI(M/S)_DI、I ² S_M_EXTCLK、LCD_SEG5、GPIOA_5
30	PA_13	I/O	UART0_RTS	I ² S_M_RL、LCD_SEG6、GPIOA_13
31	PA_14	I/O	UART0_CTS	I ² S_S_SDA、LCD_SEG7、GPIOA_14
32	PA_15	I/O	I ² C_DAT	I ² S_S_SCL、LCD_SEG8、GPIOA_15
33	PA_6	I/O	I ² C_SCL	I ² S_S_RL、SDIO_CMD、LCD_SEG9、GPIOA_6
34	VDD33IO	P	IO 电源, 3.3V	
35	PA_7	I/O	I ² S_M_SDA	PWM_2、I ² C_DAT、LCD_SEG10、GPIOA_7
36	PA_8	I/O	I ² S_M_SCL	PWM_3、UART0_TX、I ² C_SCL、LCD_SEG11、GPIOA_8
37	PA_9	I/O	I ² S_M_RL	PWM_4、UART0_RX、SPI(M/S)-DO、LCD_SEG12、GPIOA_9
38	PA_10	I/O	I ² S_S_SDA	PWM_5、UART2_RX、SPI(M/S)-DI、LCD_SEG13、GPIOA_10
39	PA_11	I/O	I ² S_S_SCL	PWM_BREAK、UART2_TX、SIM_DATA、SPI(M/S)-CK、LCD_SEG14、GPIOA_11
40	PA_12	I/O	I ² S_S_RL	UART2_RTS、SIM_CLK、SPI(M/S)-CS、LCD_SEG15、GPIOA_12
41	PB_28	I/O	I ² S_M_MCLK	UART2_CTS、LCD_COM0、GPIOB_28
42	VDD33IO	P	IO 电源, 3.3V	
43	PB_13	I/O	PWM_2	I ² S_SCL、SDIO_CMD、GPIOB_13
44	PB_14	I/O	H_SPI_INT	PWM_5、I ² C_DAT、I ² S_S_SDA、GPIOB_14
45	PB_15	I/O	H_SPI_CS	PWM_4、SPI(M/S)_CS、I ² S_S_SCL、GPIOB_15
46	VDD33IO	P	IO 电源, 3.3V	
47	PB_16	I/O	H_SPI_CK	PWM_3、SPI(M/S)_CK、I ² S_S_RL、GPIOB_16
48	PB_17	I/O	H_SPI_DI	PWM_2、SPI(M/S)_DI、UART1_RX、GPIOB_17
49	PB_18	I/O	H_SPI_DO	PWM_1、SPI(M/S)_DO、UART1_TX、GPIOB_18
50	CAP	I	外接电容, 1μF	
51	PB_30	I/O	UART2_RX	PWM_1、GPIOB_30
52	PB_31	I/O	I ² S_M_MCLK	GPIOB_31
53	PB_27	I/O	SPI(M/S)-CK	LCD_COM1、GPIOB_27
54	PB_0	I/O	SPI(M/S)-CS	UART2_CTS、PWM_BREAK、LCD_COM2、GPIOB_0
55	PB_1	I/O	SPI(M/S)-DI	UART2_RTS、SIM_CLK、PWM_5、LCD_COM3、GPIOB_1
56	PB_2	I/O	SPI(M/S)-DO	UART2_TX、SIM_DATA、PWM_4、LCD_COM4、GPIOB_2

57	PB_3	I/O	JTAG_TRST	UART2_RX、PWM_3、I ² S_S_SDA、LCD_COM5、GPIOPB_3
58	VDD33IO	P	IO 电源, 3.3V	
59	PB_4	I/O	JTAG_TDO	UART0_RTS、PWM_2、I ² S_S_SCL、LCD_COM6、GPIOPB_4
60	PB_5	I/O	JTAG_TDI	UART0_CTS、PWM_1、I ² S_S_RL、LCD_COM7、GPIOPB_5
61	PB_6	I/O	Reserved	SWDAT、UART0_RX、PWM_4、SIM_CLK、GPIOPB_6
62	PB_7	I/O	Reserved	SWCK、UART0_TX、SDIO_CMD、SPI(M/S)_CS、GPIOPB_7
63	PB_8	I/O	PWM_5	H_SPI_CK、SDIO_CK、I ² S_M_SCL、GPIOPB_8
64	PB_9	I/O	UART1_CTS	H_SPI_INT、SDIO_DAT0、I ² S_M_SDA、GPIOPB_9
65	PB_10	I/O	UART1_RTS	H_SPI_CS、SDIO_DAT1、I ² S_M_RL、GPIOPB_10
66	PB_11	I/O	UART1_RX	H_SPI_DI、SDIO_DAT2、I ² C_SCL、GPIOPB_11
67	PB_12	I/O	UART1_TX	H_SPI_DO、SDIO_DAT3、I ² C_DAT、GPIOPB_12
68	VDD33IO	P	IO 电源, 3.3V	
69	GND	P	接地	

注：1. I = 输入, 0 = 输出, P = 电源

3 芯片外围电路设计

3.1 BOOTMODE 设计

芯片支持直接从 ROM 模式下载。将 BOOTMODE（即 PA0）脚拉低大于 30ms，芯片上电，然后释放 BOOTMODE，开始下载。设计电路时一定要注意该脚不能一直下拉。

3.2 RESET 复位电路设计

复位电路建议设计为 RC 形式，上电自动复位设计，W601 采用低电平复位。如果使用外部控制 RESET 管脚，当电平值低于 2.0v 时芯片处于复位状态。低电平需要持续 100us 以上，见图 3-1 所示。

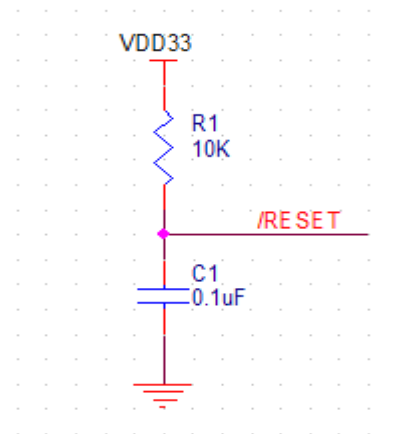


图 3-1 复位电路

3.3 参考时钟电路设计

芯片参考时钟选用 40MHz 晶体，时钟要求 -40~85℃ 范围内频率稳定度 ±10ppm，负载电容 10pF。见图 3-2 所示。

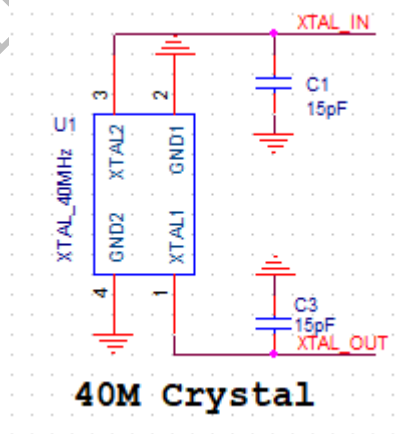


图 3-2 时钟参考电路

时钟放置尽量靠近芯片且走线尽量短，并且远离外部干扰源。时钟下面各层禁止有其它走线穿过，防止干扰时钟源，导致系统性能下降。

3.4 射频电路设计

芯片射频口采用单天线设计，内部集成功放及收发开关，芯片端口阻抗 50 欧。根据产品设计性能匹配要求，建议预留 π 型阻抗匹配网络，根据实际天线阻抗值，优化外部设计匹配元件。原理图如图 3-3 所示。

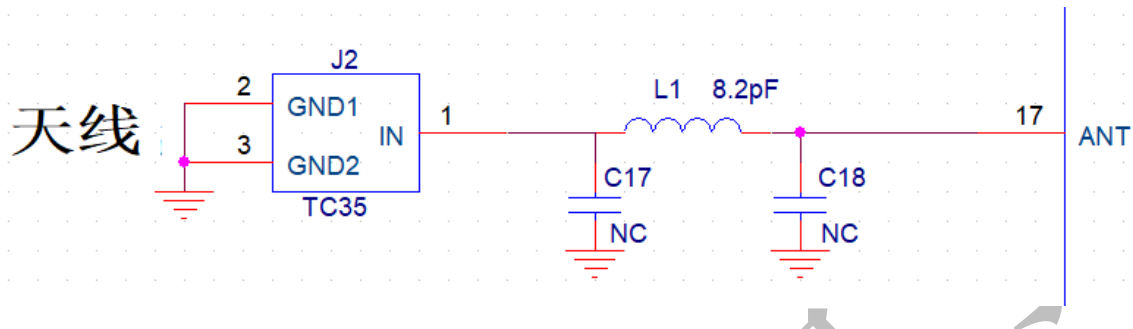


图 3-3 射频电路参考设计

为节省成本，客户可使用两层板设计，采用 FR-4 板材，板厚建议 0.8mm，为了保证射频阻抗达到 50 欧姆要求，需要线宽 20mil（如果板厚变化，需要重新计算射频线宽），线与敷铜间距 5mil。射频走线跟芯片走同一层，避免穿层，射频走线背面参考地层不能有任何走线，全部敷铜处理，保证整个射频参考地的完整性。射频 PCB Layout 参考设计见图 3-4 所示。高亮为射频走线，在加工 PCB 时需要做 50 欧姆阻抗控制。同时在 Layout 时保证射频走线尽量短。

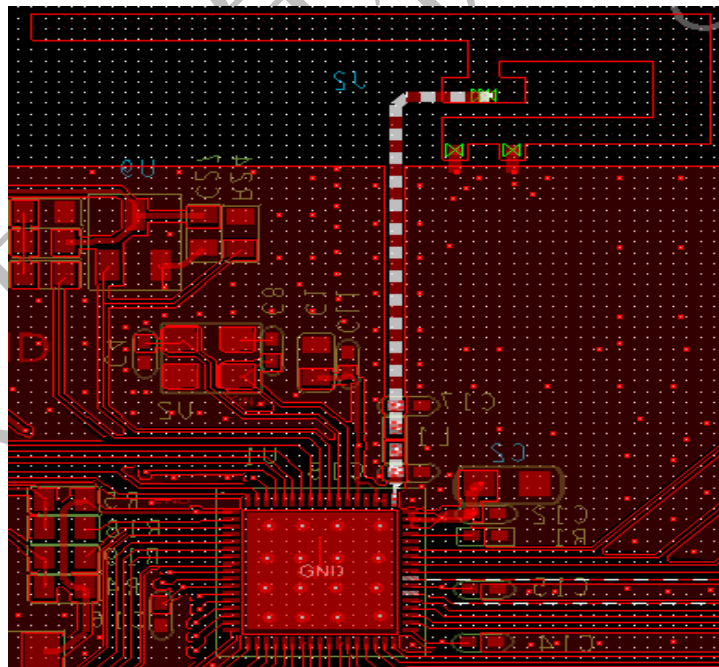


图 3-4 射频 PCB layout 参考设计

3.5 GPIO 设计

芯片上电后 27，29 脚默认为 UART0 端口，该端口提供下载及 AT 指令端口以及 log

的输出端口。W601 芯片 ROM 默认此接口为固件下载接口。客户产线第一次下载固件必须使用此接口（新芯片）；当用户使用带有标准固件的模块产品时，由于 Flash 里面已经有固件，重新升级时可以使用 UART1 作为固件下载接口。客户在电路设计时注意不要随意使用该端口作为 GPIO 使用，防止被占用无法下载及调试。在系统起来后，该端口可以通过软件配置，复用为其它端口使用。

表 3-2 芯片 UART0 管脚说明

27	PA_4	I/O	UART0_TX
29	PA_5	I/O	UART0_RX

其余各个管脚复用关系见表 2-1。

3.6 LCD 设计

芯片支持 8COM x 16SEG 或者 4COM x 20SEG 的 COM/SEG 类型 LCD 屏，驱动支持 1/2、1/3、1/4、1/5、1/6、1/7、1/8 Duty 刷新模式；支持 1/2、1/3、1/4 Bias 偏置电压；LCD 刷新频率可动态配置；IO 最大支持 24mA 驱动能力。LCD 详细接口见表 2-1 芯片管脚定义说明。

3.7 开发调试接口建议

由于 LCD 跟 UART0 功能复用，为方便开发和生产，在设计产品时，对生产阶段程序下载，开发调试过程建议按下述方式处理：

- 1) UART0 预留焊盘或者接口，在芯片内部没有程序时，生产或者开发调试时可以直接使用 UART0 作为下载程序，操作方式见 3.1 节。
- 2) UART1 预留焊盘或者接口，当芯片内部有程序时，可以使用 UART0 或者 UART1 下载程序。使用 UART1 下载程序的方式参考 W600_SDK 相关文档。

当产品使用了 LCD 功能，程序运行起来后 UART0 被 LCD 占用，UART0 将不能使用，此时 UART1 将作为调试和 AT 通信接口与外部相通信。此时 UART1 将是关键的调试接口。

- 预留 Reset 接口，在开发调试过程中，频繁的下下载程序，重启系统，reset 引脚会很好帮助调试
- 预留 BootMode 接口，在生产过程中，当芯片内部没有程序时，用于进入 ROM 下载模式。
- 预留 SWD 接口，W60x 系列芯片支持 SWD 接口，通过 Keil 或者 Winnermicro 提供的 IDE 工具，可以在线调试固件

3.8 ADC 设计

芯片支持 8 路单端或 4 路差分 ADC 输入。ADC 采样频率最高支持 10MHz。为保证 ADC 采样数据稳定可靠，PCB 走线时要尽量远离干扰源，走线加地孔保护；当使用差分 ADC 时，要保证差分阻抗 100 欧。

3.9 电源设计

为了保证芯片性能及芯片稳定正常工作，W601 电源输入脚需放置相应滤波电容，且外部对整个芯片供电电源的总电流建议 500mA 及以上。总电源走线线宽要求不低于 30mil。供电范围 3.0V-3.6V。请勿超过该范围，超过 3.6v 可能会对芯片造成永久性损坏。低于 3.0v 可能整体性能会下降。但芯片低于 2.7v 时系统将不能工作。不同管脚放置电容见下述要求。芯片 13,15,16 脚附近需放置 2 个电容，分别为 10uf 和 4.7nf 滤波器电容。见表 3-3。

表 3-3 芯片电源管脚说明

13	VDD33	P	芯片电源, 3.3V	
15	DVDD33	P	数字电路电源, 3.3V	
16	VDD33LNA	P	LNA 电源, 3.3V	

芯片 18 脚附近放置 47uf 滤波电容，19 和 20 脚附近放置 4.7uf 电容。推荐有条件客户在底板上放置 330uf 电解电容。见表 3-4。

表 3-4 芯片电源管脚说明

18	VDD33PA	P	PA 电源, 3.3V	
19	VDD33_PLLA	P	模拟电源, 3.3V	
20	VDD33ANA	P	模拟电源, 3.3V	

芯片 50 脚需要外接 1uf 滤波电容。

芯片 21 脚需外接 24K 1%精度电阻。

3.10 地平面设计

W601 芯片中间 PAD 是芯片地焊盘，必须接地处理，同时需要打孔，跟地平面良好接触散热。地过孔如 3-5 图所示。

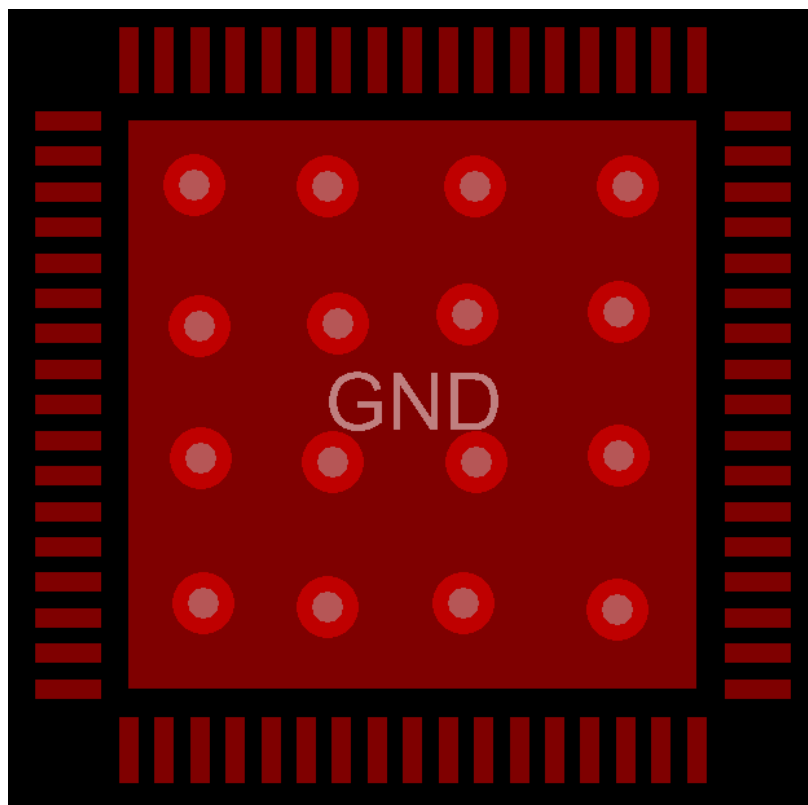


图 3-5 PAD 焊盘地孔设计

产品设计完成后 PCB 需要所有层做敷铜接地处理，天线部分敷铜严格按照 3.9 章节处理，背面要尽量少走线保证地的完整性。

3.11 天线设计

天线设计根据客户需要可使用外置天线，也可以使用 PCB 板载天线。根据天线的不同对产品有不同的要求。

3.11.1 外置天线

使用外置天线，对连接外置天线的连接座尽可能远离底板电源等噪声源，防止干扰天线，影响整个系统射频性能。

3.11.2 板载天线

使用板载天线，需严格按照本指导书设计，防止天线性能下降，影响产品使用。天线背面敷铜需全部挖空，天线参考地平面尽可能大，天线必须经过实际仿真，仿真后天线尺寸图导入 PCB。图 3-9 为板载天线性能影响较小的天线摆放方式，建议采用该摆放方式。其中黑色部分为 W601 芯片在板上位置，绿色区域是天线区域，两边白色区域为净空区域，净空区域不允许摆放器件和走线，并且该区域各层禁止敷铜。

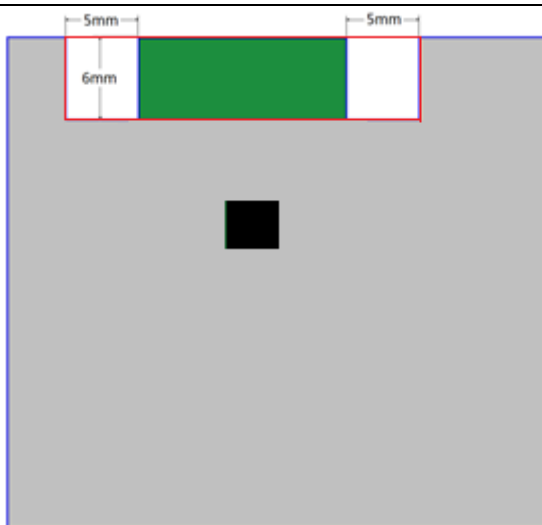


图 3-9 板载天线放置要求